

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-029937

(43)Date of publication of application : 05.02.1993

(51)Int. Cl.

H03M 1/10

G01R 31/00

G01R 35/00

// G01R 13/20

(21)Application number : 03-207480

(71)Applicant : IWATSU ELECTRIC CO LTD

(22)Date of filing : 24.07.1991

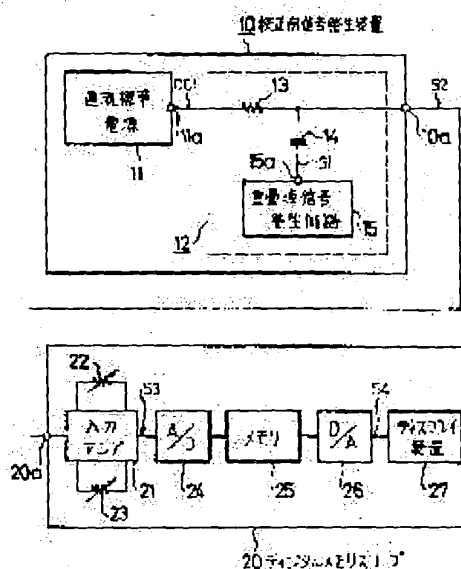
(72)Inventor : OCHI KOJI

## (54) CALIBRATION METHOD AND CALIBRATION SIGNAL GENERATOR

## (57)Abstract:

PURPOSE: To reduce a conversion error in the case of calibrating the sensitivity of the generator by applying a calibration signal to the generator having an A/D converter so as to adjust the conversion output.

CONSTITUTION: A DC voltage DC1 with a reference level is generated from a DC standard power supply 11. A triangle wave signal S1 is generated from a superimposing wave signal generating circuit 15 as a superimposing wave signal. Thus, a signal S2 resulting from superimposing the triangle wave signal S1 onto the DC voltage DC1 with a reference level is obtained at an output terminal 10a of the calibration signal generator 10. The calibration signal S. inputted to an input terminal 20a of a digital memory device 20 is inputted to an input amplifier 21 and its offset and gain are adjusted by adjusting the resistance of variable resistors 22, 23.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-29937

(43) 公開日 平成5年(1993) 2月5日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 1/10	A	9065-5 J		
G 0 1 R 31/00		7808-2 G		
35/00	C	8203-2 G		
// G 0 1 R 13/20	P	8203-2 G		

審査請求 未請求 請求項の数 3 (全 8 頁)

(21) 出願番号 特願平3-207480

(22) 出願日 平成3年(1991) 7月24日

(71) 出願人 000000181

岩崎通信機株式会社

東京都杉並区久我山1丁目7番41号

(72) 発明者 越智 幸治

東京都杉並区久我山1丁目7番41号 岩崎

通信機株式会社内

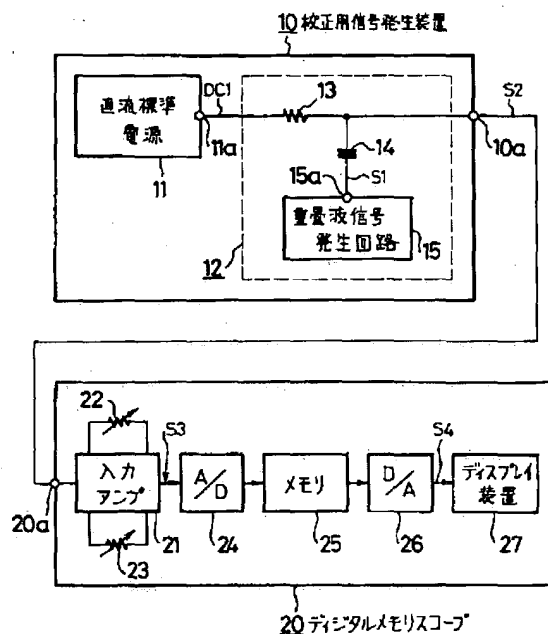
(74) 代理人 弁理士 佐藤 正美

(54) 【発明の名称】 校正方法及び校正用信号発生装置

(57) 【要約】

【目的】 入力アナログ信号とアナログ・デジタル変換の閾値レベルとの相対的なレベル関係を調整する校正方法において、変換誤差を小さくできる校正方法を提供する。

【構成】 1又は複数の基準レベルを中心に上下に変化する信号が重畳された状態のアナログ校正用信号を用意する。この校正用信号をアナログ・デジタル変換器を有する校正対象装置に供給する。この校正対象装置で得られる前記校正用信号のデジタル出力値に基づいて、前記基準レベルとアナログ・デジタル変換の閾値レベルとの相対的なレベル関係を調整する。



1

## 【特許請求の範囲】

【請求項1】 1又は複数の基準レベルを中心に上下に変化する状態のアナログ校正用信号を、アナログ・デジタル変換器を有する校正対象装置に供給し、この校正対象装置で得られる前記校正用信号のデジタル出力値に基づいて、前記基準レベルとアナログ・デジタル変換の閾値レベルとの相対的なレベル関係を調整するようにした校正方法。

【請求項2】 アナログ・デジタル変換器を備える校正対象装置の前記アナログ・デジタル変換の閾値レベルと基準レベルとの相対的なレベル関係を調整するための校正用信号を発生する校正用信号発生装置であって、1又は複数の基準レベルを中心に上下に変化する信号が重畳された状態のアナログ信号を上記校正用信号として出力するようにした校正用信号発生装置。

【請求項3】 前記校正用信号の前記基準レベルに対する上下の変化幅の最大値が、前記アナログ・デジタル変換器のデジタル信号の1LSB（1LSBは、アナログ・デジタル変換後のデジタルデータの最小桁に対応するアナログ信号のレベル）以上であるようにされてなる請求項2記載の校正用信号発生装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、例えばデジタルメモリ装置やデジタルメモリスコープ等のアナログ・デジタル変換器を搭載した装置の入力感度を校正する際に使用して好適な校正方法及び校正用信号発生装置に関する。

## 【0002】

【従来の技術】 種々のアナログ信号を記録して解析するために、アナログ・デジタル変換器を搭載したデジタルメモリ装置やデジタルメモリスコープ等が使用されている。デジタルメモリ装置は、アナログ信号をデジタル信号に変換してICメモリ等に一時蓄えることができる装置であり、デジタルメモリスコープは、更にそのICメモリ等に蓄えられたデジタル信号を再度アナログ信号に戻してブラウン管等に表示する機能をも備えた装置である。

【0003】 従来、これらデジタルメモリ装置やデジタルメモリスコープ等の入力感度を調整し、検査又は校正する場合には、直流標準電源（いわゆるDCスタンダード）を用いている。すなわち、この直流標準電源から出力される所定電圧値（基準レベル）の校正用信号を、校正対象とする装置に入力して、この装置のデジタル出力信号の値を読むことにより、又は、さらに、このデジタル出力信号をデジタル・アナログ変換して得られたアナログ信号の値を読むことにより、それらの値が所定の値になるように調整を行ったり、本来の値からの誤差を読み取るようにしている。

【0004】 また、校正用信号として方形波信号を使用

2

して、同様に調整又は誤差の読み取りを行う校正方法も知られている。この場合、校正用信号として使用される方形波信号は図8の(A)に示すように、ローレベル1Lとハイレベル1Hとの間で周期的に変化する信号S1である。ここで、ローレベル1L及びハイレベル1Hはそれぞれデジタル値のN1及びN2に対応するものとする。

【0005】 一方、校正対象とする装置のアナログ・デジタル変換器の前段には感度調整用の入力アンプが備えられている。そして、この校正対象装置に上記校正用方形波信号S1を入力し、例えばデジタル出力値を読んで、そのローレベル1Lとハイレベル1Hのデジタル値がN1及びN2となるように、前記入力アンプのゲイン及びオフセットを調整する。これによりアナログ・デジタル変換器のオフセットを含む感度が校正される。

## 【0006】

【発明が解決しようとする課題】 しかしながら、上記の校正方法の場合、入力アンプの調整状態によりアナログ・デジタル変換器において、閾値レベルについて±1LSB（1LSBは最下位ビットに対応するアナログ信号のレベル）の誤差が生じる。

【0007】 すなわち、校正用方形波信号S1のハイレベル1Hに対し、アナログ・デジタル変換の閾値レベルが、図8の(B)に示すように2Ha及び2Hbであっても、また、図8の(C)に示すように3Ha及び3Hbであっても、デジタル出力値はN2となる。同様にして、校正用方形波信号S1のローレベル1Lに対し、アナログ・デジタル変換の閾値レベルが、図8の(B)に示すように2La及び2Lbであっても、また、図8の(C)に示すように3La及び3Lbであっても、デジタル出力値はN1となる。なお、入力アンプにより増減されるのは図8の(A)の校正波信号S1のレベルであるが、図8では便宜上、閾値レベルを変化させて示す。

【0008】 このようにアナログ・デジタル変換器で基準レベルと閾値レベルとの間に校正により1LSBの誤差が生じると、同じデジタル値を出力するアナログ入力信号としては最大4LSBの誤差が生じてしまう。

【0009】 すなわち、図8Bの状態に調整された測定器の場合には、図8の(D)に示すようにローレベルが4Lで、ハイレベルが4Hの入力信号Si1をも、デジタル出力値N1及びN2の方形波信号として出力する。また、図8の(C)の状態に調整された測定器の場合には、図8の(E)に示すようにローレベルが5Lで、ハイレベルが5Hの入力信号Si2をも、デジタル出力値N1及びN2の方形波信号として出力する。

【0010】 これら入力信号Si1とSi2とを比較すると、レベル4Lはレベル5Lに対してほぼ2LSBだけ低くなり、また、レベル4Hはレベル5Hに対してほぼ

2LSBだけ低くなっている。したがって、入力アンプの調整状態により、得られるデジタルデータの値が同じであっても、入力されているアナログ方形波信号には振幅として最大で略4LSBの誤差(1つのレベルの正確な値からの偏差としては最大で±2LSBの誤差)が生ずる恐れがある。

【0011】そして、この誤差はそのままアナログ・デジタル変換誤差となる。例えば、8ビットの装置をフルスケール(分解能が8ビットであるので、閾値レベルの分割数はフルスケールで256となる)の1/2で校正するものとする、フルスケールの1/2は128分割相当であるので、上述のように最大で±2LSBの変換誤差が生ずる場合、基準からの誤差は、 $\pm 2/128 = 0.015625$ となる。

【0012】すなわち、従来の場合、校正用方形波信号を被測定対象の装置に入力し、その装置のアナログ・デジタル変換後のデジタル出力データを読みながら調整しても、ほぼ±1.56%の変換誤差が生ずる可能性があることになる。この変換誤差の割合はアナログ・デジタル変換器の分解能が粗いと更に大きくなる。

【0013】この発明は以上の点にかんがみ、アナログ・デジタル変換器を備えた装置に校正用信号を供給して変換出力を調整することにより、その装置の感度を校正する場合に、変換誤差が従来よりも小さくなる校正方法を提供することを目的とする。

【0014】また、この発明はそのような校正方法を実施するための校正用信号を発生する校正用信号発生装置を提供することを目的とする。

【0015】

【課題を解決するための手段】この発明による校正用信号発生装置においては、1又は複数の基準レベルを中心に上下に変化する信号が重畳された状態のアナログ信号を上記校正用信号として出力する。

【0016】そして、この発明による校正方法においては、1又は複数の基準レベルを中心に上下に変化する信号が重畳された状態のアナログ校正用信号を、アナログ・デジタル変換器を有する校正対象装置に供給し、この校正対象装置で得られる前記校正用信号のデジタル出力値に基づいて、前記基準レベルとアナログ・デジタル変換の閾値レベルとの相対的なレベル関係を調整する。

【0017】前記校正用信号の前記基準レベルに対する上下の変化幅は、前記アナログ・デジタル変換器のデジタル信号の1LSB以上に設定すると良い。

【0018】

【作用】上記の構成のこの発明による校正方法においては、校正用信号として、校正しようとするレベルに対応する基準レベルを中心に上下に変化するアナログ信号が使用される。このため、基準レベルをアナログ・デジ

タル変換のための所定の閾値レベル間の中間のレベルにしたとき、上下に変化する信号部分と上下の閾値レベルとのレベルの上下関係により、基準レベルの閾値レベル間でのレベル的な位置が判る。この上下に変化する信号部分と上下の閾値レベルとのレベルの上下は、アナログ・デジタル変換出力に現れる。したがって、校正対象装置のアナログ・デジタル変換出力であるデジタル値から、あるいはそのアナログ変換信号から、校正用信号の基準レベルの閾値レベルに対する相対的關係を設定することができる。

【0019】そして、校正用信号の基準レベルからの変化幅が1LSB以上である場合には、基準レベルの上下の閾値レベルと校正用信号が交差するので、デジタル値として基準レベルと閾値レベルのレベル関係を確実に知ることができ、基準レベルをその上下の閾値レベルの中間値に調整することができる。

【0020】

【実施例】以下、この発明方法の一実施例を、図1～図4を参照しながら説明する。本例はデジタルメモリスコープの入力感度を校正する場合に、この発明を適用したものである。

【0021】図1は本例の入力感度校正システムを示し、この図1において、10は校正用信号発生装置、20はデジタルメモリスコープであり、校正用信号発生装置10の出力端子10aからデジタルメモリスコープ20の入力端子20aに校正用信号S2が供給されている。

【0022】校正用信号発生装置10は、この例の場合、直流標準電源(DCスタンダード)11と、重畳波信号加算回路12とを備える。重畳波信号加算回路12は、重畳波信号発生回路15を有する。そして、直流標準電源11の出力端子11aが重畳波信号加算回路12の抵抗器13を介して出力端子10aに接続される。また、重畳波信号発生回路15の出力端子15aが、抵抗器13と出力端子10aとの接続点にコンデンサ14を介して接続される。

【0023】直流標準電源11からは基準レベルの直流電圧DC1が発生する。そして、この例の場合、重畳波信号発生回路15からは重畳波信号として三角波信号S1が発生する。したがって、校正用信号発生装置10の出力端子10aには、基準レベルの直流電圧DC1に三角波信号S1が重畳された信号S2(図2A参照)が得られる。

【0024】この場合、この三角波信号S1は、この例では、図2Aに示すように、約2LSB程度の振幅の信号とされている。したがって、この例の場合は、校正用信号S2は基準レベルの直流電圧DC1を中心に上下にそれぞれ最大で約1LSBの変化をする三角波が重畳された状態の信号である。

【0025】デジタルメモリ装置7においては、入力

端子20aを介して入力された校正用信号S2は入力アンプ21に供給される。この入力アンプ21には、オフセット調整用の可変抵抗器22及びゲイン調整用の可変抵抗器23が設けられ、これら可変抵抗器22及び23の抵抗値を調整することにより、それぞれオフセット及びゲインが調整できるように構成されている。

【0026】この入力アンプ21から出力される調整後の校正用信号S3は、アナログ・デジタル変換器24に供給され、デジタルデータに変換される。このアナログ・デジタル変換器24の出力デジタルデータは、メモリ25に書き込まれる。そして、このメモリ25から随時読み出されたデジタルデータがデジタル・アナログ変換器26に供給されて、アナログ信号に戻され、そのアナログ信号がディスプレイ装置27に供給され、アナログ信号波形S4がCRTなどのディスプレイに表示される。なお、メモリ25から読み出したデジタルデータをアナログ信号に戻さずにそのままディスプレイに表示する場合もある。

【0027】次に、本例の校正動作につき説明する。今、図2Aに示すように、アナログ・デジタル変換器24から出力されるデジタル値が(N-1)、N、(N+1)であるときの、入力アナログ信号に対するアナログ・デジタル変換器24における閾値のレベルを、それぞれレベルLA、LB、LC及びLDとする。そして、デジタル値Nに対する校正のために、基準レベルの直流電圧DC1を閾値レベルLBとLCとの中間のレベルに校正する場合について説明する。

【0028】この場合、図2Aに示すように、その校正用信号S2（調整後の校正用信号S3）の直流信号DC1が、閾値レベルLBとLCとの中間のレベルであるときには、校正用信号S2は基準レベルの直流電圧DC1を中心に上下に最大で約1LSBの変化をする三角波が重畳された状態の信号であるので、変換出力信号S4は、図2Bに示すように、値(N-1)、値N及び値(N+1)にそれぞれ対応する3段階のレベルに渡って周期的に変化する信号となる。

【0029】ここで、DC1のレベルが+極性であるすると、図1の入力アンプ21の可変抵抗器23を調整してアンプゲインを大きくすると（感度を良くすると）、図2Aにおける調整後の校正用信号S3に対する閾値レベルが相対的にレベルの低い方にシフトする。このため、変換出力信号S4は値(N+1)のレベルの時間が長くなり、値(N-1)のレベルの時間が短くなる。

【0030】一方、入力アンプ21のゲインを小さくすると（感度を悪くすると）、調整後の校正用信号S3のDCレベルが低くなるので、閾値レベルが相対的にレベルの高い方にシフトする。このため、変換出力信号S4は値(N-1)に対応するレベルに存在する時間が長くなり、値(N+1)のレベルの時間が短くなる。

【0031】したがって、アンプゲインを調整して変換出力信号S4のデジタル値(N-1)及び(N+1)に対応するレベルの継続時間を等しくすれば、調整後の校正用信号S3の基準信号のレベルが閾値レベルLBとLCとの平均値 $L_0 = (LB + LC) / 2$ に設定される。

【0032】このようにして、直流標準電源11の出力電圧である基準レベルを、アナログ・デジタル変換の閾値のレベルの平均値に合わせることができると、直流標準電源11の出力電圧の2以上の基準レベルを、アナログ・デジタル変換の前記基準レベルの上下の閾値レベルの平均値に合わせることににより、入力アンプのゲインの調整による調整誤差をほぼ零とすることができる。

【0033】また、図2Aにおいて破線の三角波で示すように、基準レベルの電圧DC1に重畳されている三角波の振幅を丁度1LSBあるいは1LSBより僅かに小さい振幅に設定した場合、基準レベルの電圧DC1の調整レベルが閾値のレベルLBとLCとの平均値に設定されたときには、変換出力S4が常に値Nのレベルとなり、調整レベルがそれより高ければ、変換出力S4は、値Nと値(N+1)との2値を取る。また、調整レベルがそれより低ければ、変換出力S4は、値Nと値(N-1)との2値を取る。したがって、この場合、出力S4が値Nのみを取るように設定することにより、基準レベルDC1をその上下の目的の閾値レベルの平均値に調整する校正ができる。

【0034】なお、以上のことは、三角波の代わりに正弦波又はホワイトノイズ等を重畳させても同様の作用効果が得られるものである。

【0035】また、校正用信号発生装置10において、直流標準電源11の代わりに、方形波信号の発生源を用いることもできる。この場合には、2つの基準レベルに三角波信号などを重畳した状態の信号を校正用信号S2として得ることができるので、2つの基準レベルに対して校正作業を行う場合に、直流標準電源11の場合には、2つの基準レベルを、それぞれ用意して調整する必要があるのに対し、校正作業が1度で済む。

【0036】さらに、重畳波信号としては、三角波だけではなく例えば階段波を用いることもできる。例えば、3段階で、振幅が $1/2$ LSBの階段波を基準レベルの電圧DC1に重畳した場合について、図3を参照して説明する。

【0037】この場合、図3Aに示すように、3つの場合T1、T2、T3を考える。すなわち、図1の入力アンプ21の可変抵抗器23を調整してアンプゲインを調整することにより、電圧DC1が閾値レベルLBとLCの平均値より大きいとき（場合T1）、電圧DC1が閾値レベルLBとLCの平均値に等しいとき（場合T2）、電圧DC1が閾値レベルLBとLCの平均値より

7

小さいとき(場合T3)を考える。

【0038】各期間の変換出力信号S4は、それぞれ、図3Bに示すように、場合T1では値Nのみでなく、値(N+1)を取る信号となり、また、場合T3では値Nのみでなく、値(N-1)を取る信号となり、場合T2では常時値Nのみを取る信号となる。したがって、図3の例の階段波の場合には、場合T2のように、変換出力信号S4が値Nのみを常に取りるように入力アンプ21のゲインを調整することにより、基準レベルの直流電圧DC1を閾値レベルLBとLCの平均値に設定することが

【0039】そして、変換出力信号S4が場合T1のような場合には、基準レベルが平均値よりも高く調整され、また、変換出力信号S4が場合T3のような場合には、基準レベルが平均値よりも低く調整されたことが判る。

【0040】図3の例では重畳される階段波は3段階であるが、3段階以上であれば、その段数に応じて基準レベルが設定目的の閾値レベルの平均値よりどの程度ズレているかを知ることができる。

【0041】例えば、4段階で、1段の振幅が $1/4$ LSBの場合の階段波を、基準レベルの直流電圧DC1の基準信号に重畳して形成された校正用信号S2を図4Aに示す。図4Aの左側に示すのは、基準レベルがその上下の閾値レベルの平均値であるとき、図4Aの中央に示すのは、基準レベルが前記平均値より $1/4$ LSBより小さい値だけ低いとき、図4Aの右側に示すのは、基準レベルが前記平均値より $1/4$ より大きく $1/2$ より小さいときである。この例の場合、図4Bから明らかなように、変換出力信号S4により、 $1/4$ LSBづつの精

【0042】階段波の階段の数を次第に増加させていくと、その階段波は三角波になる。また、その調整後の校正用信号S3に対するその中間レベルのズレが或る規格に対して内側か外側かを知れば良いときなどは、その階段波の階段の数はそれほど多くする必要はなく、適当な段数に設定するだけでよい。

【0043】また、信号源及び入力アンプ21などでノイズが必ず混入する。このような場合、ノイズを除去して重畳波信号を正確に捉えるには、重畳波信号に同期した周期で、A/D変換器24の出力データS4を取り込み、平均化するようにすれば良い。このため、重畳波信号の周期は、校正用信号が直流標準電圧でない場合には、方形波信号などの校正用信号の周期の整数倍である方が良い。さらには、その重畳波信号の周期がアナログ・デジタル変換器24の変換用のクロックと同期状態にあれば更に正確なデータを得ることができるのはいうまでもない。

8

【0044】次に、この発明の他の実施例につき説明するに、図5は本例の校正用信号発生装置を示している。この図5において、31は基準レベル信号発生回路としての方波発生回路であり、この方波発生回路31より発生する方波信号は、可変抵抗器32で所望のレベルに減衰された後、合成用アンプ35の一方の入力端子に供給される。

【0045】また、33は重畳波発生回路を示し、この重畳波発生回路33よりは、前述したような重畳波信号が発生し、その重畳波信号は、可変抵抗器34で所望のレベルに減衰された後、合成用アンプ35の他方の入力端子に供給される。そして、この合成用アンプ35で合成された信号が、アッテネータとしての可変抵抗器30で所望のレベルに減衰された後、校正用信号S2として出力端子10aに導出される。

【0046】この例の校正用信号S2によれば、基準信号としての方波信号に重畳波信号を種々の振幅比で重畳することができ、容易に所望の特性を有する校正用信号S2を生成することができる。

【0047】次に、デジタル・アナログ変換器を用いて校正用信号を生成する校正用信号発生装置の例につき図6及び図7を参照して説明する。

【0048】図6は、本例の校正用信号発生装置を示し、この図6において、41は校正用信号S2がデジタルデータとして書き込まれた校正用信号用メモリである。この校正用信号用メモリ41から読み出されたデジタルデータは、デジタル・アナログ変換器42においてアナログ信号に変換され、このアナログ信号が出力用アンプ43を介してアッテネータとしての可変抵抗器44に供給されて、所望のレベルまで減衰される。そして、このアッテネータ44に得られた信号は、校正用信号S2として出力端子10aに導出される。

【0049】この例の場合には、予め校正用信号用メモリ41に、例えば図7に示すような校正用信号S2のデータを書き込んでおくことにより、容易に所望の校正用信号を得ることができる。図7の例の校正用信号S2は、第1の基準レベル6Lと第2の基準レベル6Hとを繰り返す方形波信号に、4段階のレベルで周期的に変化する階段波を重畳したものであり、方形波信号の周波数をfとすると、図の例の場合には、階段波の周波数は7fに設定されている。

【0050】なお、図1の例では、デジタルメモリ装置7において、入力段に感度調整用の入力アンプ21を設けたが、ゲイン調整用のアンプを出力段に設けるようにしてもよく、また、アナログ・デジタル変換器26又はデジタル・アナログ変換器24に特性調整用の回路を設けてもよい。さらに、メモリ25に書き込まれたデジタルデータに演算処理を施すことによりオフセット及びゲインを調整するようにしてもよい。

50 【0051】

【発明の効果】以上説明したように、この発明の校正方法によれば、校正用信号中の調整したい基準レベルと、アナログ・デジタル変換の閾値レベルとを常に一定のレベル関係に設定することができるので、校正誤差が従来よりも小さくなる。そして、基準レベルに対して上下に変化する部分の振幅を1LSB以上とすれば、基準レベルをその上下の目的の閾値レベルの平均値に常に調整することができ、アナログ・デジタル変換誤差を最小にすることができる。

【0052】また、この発明の校正用信号発生装置によれば、校正したい基準レベルに三角波や階段波などの重畳波を重ねるだけで、目的とする校正用信号を得ることができるので、簡単な構成で校正用信号を発生できる利点がある。

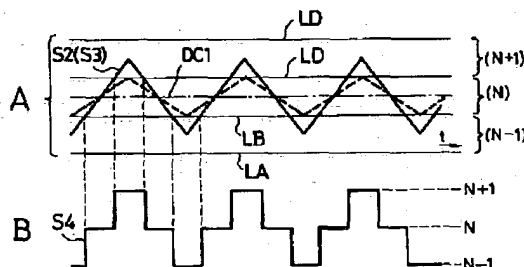
【図面の簡単な説明】

【図1】この発明の一実施例の入力感度校正システムを示すブロック図である。

【図2】図1の例の説明のための信号波形の一例を示す波形図である。

【図3】図1の例の説明のための信号波形の他の例を示す波形図である。

【図2】



【図4】図1の例の説明のための信号波形の更に他の例を示す波形図である。

【図5】この発明による校正用信号発生装置の他の実施例の構成を示す図である。

【図6】この発明による校正用信号発生装置のさらに他の実施例の構成を示す図である。

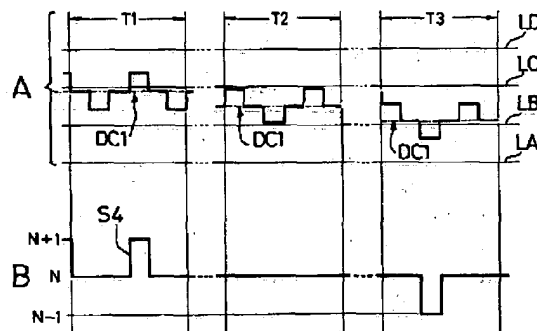
【図7】図6の例の校正用信号の一例を示す波形図である。

【図8】従来の校正方法の説明図である。

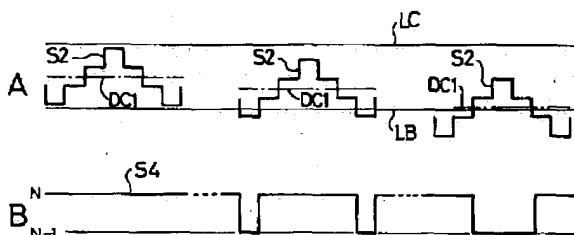
【符号の説明】

- 10 校正用信号発生装置
- 20 デジタルメモリ装置
- 11 直流標準電源
- 12 重畳波信号加算回路
- 15 重畳波信号発生回路
- 21 入力アンプ
- 24 アナログ・デジタル変換器
- 25 メモリ
- 26 デジタル・アナログ変換器
- 27 ディスプレイ装置

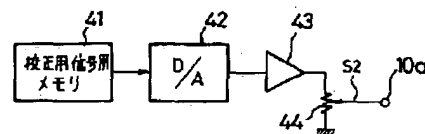
【図3】



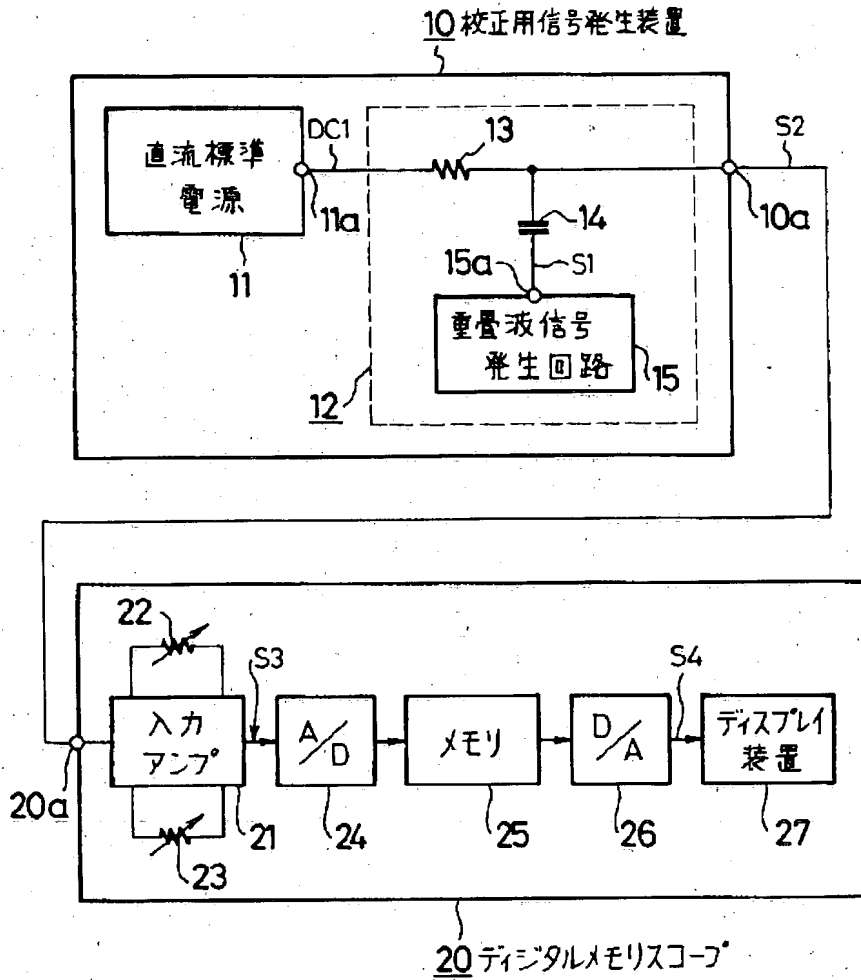
【図4】



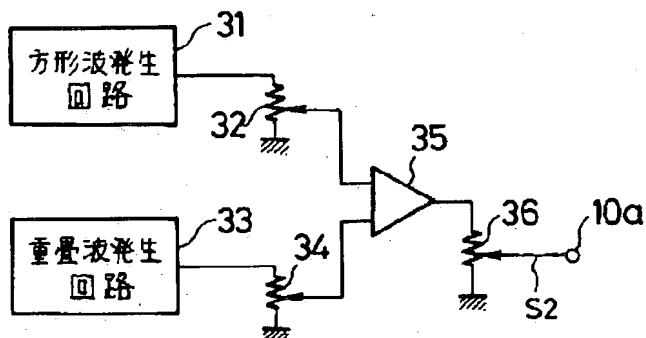
【図6】



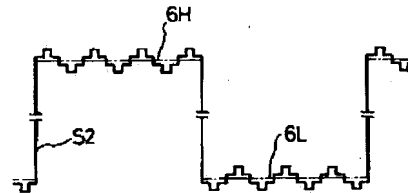
【図1】



【図5】



【図7】





(8)

特開平5-29937

【図8】

